

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-133980

⑬ Int. Cl.⁵

H 01 S 3/18
H 01 L 33/00

識別記号

A

庁内整理番号

7377-5F
7733-5F

⑭ 公開 平成2年(1990)5月23日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体発光素子

⑯ 特 願 昭63-288001

⑰ 出 願 昭63(1988)11月15日

⑱ 発 明 者 高 田 敏 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

半導体発光素子

2. 特許請求の範囲

半導体基板の一主面に発光部を構成する半導体層及び第1の電極層を設け、前記半導体基板の他の主面に第2の電極層を設けた半導体発光素子において、

前記半導体基板の前記他の主面と前記第2の電極層との間に、前記半導体発光素子の低抵抗値を調節するトリミング溝が形成される低抵抗層を設けたことを特徴とする半導体発光素子。

3. 発明の詳細な説明

〔概要〕

半導体レーザや発光ダイオード等の発光部が半導体基板上に形成された半導体発光素子に関し、

外部回路とインピーダンスマッチングをとることが容易な半導体発光素子を提供することを目的とし、

半導体基板の一主面に発光部を構成する半導体層及び第1の電極層を設け、前記半導体基板の他の主面に第2の電極層を設けた半導体発光素子において、前記半導体基板の前記他の主面と前記第2の電極層との間に、前記半導体発光素子の低抵抗値を調節するトリミング溝が形成される低抵抗層を設けるように構成する。

〔産業上の利用分野〕

本発明は半導体レーザや発光ダイオード等の発光部が半導体基板上に形成された半導体発光素子に関する。

近年、高速度大容量のデータ通信を行うために光データ通信が注目されている。光データ通信を行う場合には、半導体発光素子が高速度駆動できることが要求される。

〔従来の技術〕

近年の技術の進歩により、半導体発光素子の発光部自体は高速度駆動できるものが開発されている。しかしながら、高速度駆動可能な半導体発光素子の場合、特性上インピーダンスが約 5Ω と低い値であるのに対し、外部の駆動回路のインピーダンスが数倍以上であるため、半導体発光素子と外部回路との間でインピーダンスマッチングを取らなければならない。

従来の半導体発光素子を第5図に示す。この半導体発光素子10はキャリア12上にマウントされている。キャリア12として、サブキャリア基板14上に絶縁基板16が設けられている。絶縁基板16上には配線のためのストリップライン18が形成されている。半導体発光素子10は上面及び下面に電極が設けられ、半導体発光素子10の下面の電極はストリップライン18に電氣的に接続され、上面の電極は金ワイヤ20によりサブキャリア基板14に電氣的に接続されている。外部の駆動回路(図示せず)に接続される電極A、

ス成分である。

第6図の等価回路から分るように、インピーダンスマッチング用のチップ抵抗22がレーザダイオードDから離れているため、レーザダイオードD自体は高速度動作可能であるにも拘らず、キャリア12に組上げた場合には、インピーダンスのミスマッチングにより半導体発光素子10が本来有する特性を十分生かすことができなかった。

本発明は上記事情を考慮してなされたもので、外部回路とインピーダンスマッチングをとることが容易な半導体発光素子を提供することを目的とする。

〔課題を解決するための手段〕

上記目的は、半導体基板の一主面に発光部を構成する半導体層及び第1の電極層を設け、前記半導体基板の他の主面に第2の電極層を設けた半導体発光素子において、前記半導体基板の前記他の主面と前記第2の電極層との間に、前記半導体発光素子の抵抗値を調節するトリミング溝が形成さ

Bは、サブキャリア基板14とストリップライン18の他端に設けられている。従来は第5図に示すように、半導体発光素子10近傍のストリップライン18の真中にチップ抵抗22を設けて、外部駆動回路とインピーダンスマッチングをとっている。

〔発明が解決しようとする課題〕

しかしながら、従来はインピーダンスマッチングのためのチップ抵抗22が半導体発光素子10の外部にあるため、インピーダンスのミスマッチングが生じていた。第5図の等価回路を第6図に示す。第6図において、抵抗R10及び容量C10は、半導体発光素子10の発光部であるレーザダイオードDの抵抗成分及び容量成分である。インダクタンスL20は、金ワイヤ20のインダクタンス成分である。抵抗R22はチップ抵抗22であり、インダクタンスL18aとL18bは、それぞれチップ抵抗22で分割されたストリップライン18の部分18aと18bのインダクタン

れる抵抗層を設けたことを特徴とする半導体発光素子によって達成される。

〔作用〕

本発明によれば、発光部の電極層に直接抵抗層を設けているため、発光素子と抵抗との間にはインダクタンスが介在しない。また抵抗値はトリミングによって所望の値に設定される。従って、外部回路とのインピーダンスマッチングが容易にとれ、効率よく高い周波数で半導体発光素子を駆動できる。

〔実施例〕

以下、図示の実施例に基づいて本発明を説明する。

第1図に本発明の一実施例による半導体発光素子10を示す。本実施例の半導体発光素子10は半導体レーザであり、第1図では構造の理解を容易にするために一部が切り欠かれて示されている。

本実施例では第1図(a)に示されたようにIn

P基板30の一面上に発光部が形成される。InP基板30の表面には例えば回折格子のコルゲーション(Corrugation)34が形成される。コルゲーション34上にはn型InGaAsPのガイド層36を介してInGaAsPの活性層38が形成されている。活性層38を覆うようにp型InPのガイド層40が形成され、ガイド層40上にはp型InGaAsPのコンタクト層42を介して正の電極層44が形成されている。本実施例の半導体レーザは2つの溝46、48により全体がメサ型に形成されている。溝46、48の内面には正の電極層44形成時のマスクとして機能する高低抗シリコン層50が形成されている。

InP基板30の下面には負の電極が形成されるが、本実施例では多結晶シリコンの低抗層52を介して負の電極層54が形成されている。この低抗層52は駆動回路などの外部回路とのインピーダンスマッチングをとるために設けられたものである。本実施例の低抗層52は、良好なインピーダンスマッチングのために厳密な値が要求され

る。このため、本実施例では低抗層52の低抗値を測定しながら、レーザにより低抗層52と電極層54を溶かして第1図(b)に示すような溝56を形成してトリミングが行われる。

この半導体発光素子10の製造方法を簡単に説明する。

まず、InP基板30の下面に多結晶シリコンの低抗層52を形成する。例えばCVDにより低抗層52を堆積させる。

次に、InP基板52の上面にガイド層36、活性層38、ガイド層40からなる発光部を形成する。

次に、半導体発光素子10をメサ型にするため2つの溝46、48を形成する。続いて、溝46、48内には電極層形成時のマスクとして多結晶シリコン層50を形成する。

次に、正の電極層44及び負の電極層54を形成する。

次に、低抗層52の低抗値を測定しながら、レーザにより低抗層52と電極層54を溶かして第

1図(b)に示すような溝56を形成してトリミングが行われる。

ただし、第1図のようにスクライビングされた後のチップは小さすぎて取扱いにくい。第2図に示すようにウェーハを切断して半導体発光素子10のアレイ60を形成して、その状態でレーザによる低抗値のトリミングを行う。各半導体発光素子10の一方の電極層44が接触するようにアレイ60を電極板62上に固定する。電極板62上に固定された測定治具64により、各半導体発光素子10の他方の電極層54との電氣的接続が取られる。測定治具64の各プローバ64aを各半導体発光素子10の電極層54に接触させる。各プローバ64aは配線層64bを介して切換スイッチ66に接続されている。

低抗測定装置68は各半導体発光素子10の低抗を測定する。電極板62に接触する半導体発光素子10の電極層44と、切換スイッチ66により選択された半導体発光素子10の電極層54との間の低抗を測定する。

また、半導体発光素子10の低抗層52及び電極層54を溶かすためにYAGレーザや炭酸ガスレーザ等のレーザ装置70が設けられている。このレーザ装置70はレーザコントローラ72により照射位置及び照射時間が制御される。レーザコントローラ72は低抗測定装置68により測定された低抗値が所定値になるまでレーザ光を照射し、低抗層52及び電極層54を溶融する。所定の低抗値になるとレーザ光の照射を停止し、その半導体発光装置10の低抗値のトリミングを終了する。

なお、電極層54及び低抗層52は、低抗測定装置68により正確な低抗値を測定するために、アレイ60の半導体発光装置10毎に電氣的に分離する。例えば、ダイシングによりアレイ60の半導体発光装置10の境界にわずかに切れ目を入れて電氣的に分離する。また、各半導体発光装置10の電極層54を、互いに導通しないような形状に予めパターニングしておいてもよい。

第1図の半導体発光素子10を組立てて形成したキャリア12を第3図に示す。第5図と同一の

構成要素には同一の符号を付して説明を省略する。本実施例では半導体発光素子10のチップ内に、インピーダンスマッチングに必要な抵抗が内蔵されているので、ストリップライン18にチップ抵抗が設けられていない。

第3図の等価回路を第4図に示す。第6図の等価回路と同一の構成要素には同一の符号を付して説明を省略する。抵抗R52が本実施例により新たに設けられたものである。従来のようにストリップライン18は抵抗で分割されず、全体のインダクタンス成分はインダクタンスL18として示されている。

第4図に示す等価回路から明らかなように、本実施例では抵抗R10と抵抗R52との間にインダクタンスがないため、共振周波数が高くなり高周波動作が可能である。また、外部の駆動回路と完全なインピーダンスマッチングがなされ、効率よく駆動できる。

本発明は上記実施例に限らず種々の変形が可能である。

例えば、上記実施例では抵抗層52をInP基板30下面に多結晶シリコンを堆積させて形成したが、InP基板30下面にシリコンをイオン注入により添加して抵抗層52を作成してもよい。

また、上記実施例の半導体レーザの代わりに発光部が発光ダイオードでもよい。

なお、上記実施例では抵抗層をInP基板30下面の負の電極層54に設けたが、InP基板30の発光部側の正の電極層44に設けてもよい。コンタクト層42と電極層44の間に抵抗層を設けてもよいし、コンタクト層42に不純物を添加して抵抗層にしてもよい。コンタクト層42がp型InGaAsPの場合には例えば鉄を添加すれば抵抗層となる。

[発明の効果]

以上の通り、本発明によれば外部回路とのインピーダンスマッチングが容易にとれ、効率よく高い周波数で駆動可能である。したがって、本発明の半導体発光素子を用いて高速度大容量のデータ通

信が可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例による半導体発光素子の斜視図。

第2図は同半導体発光素子のトリミング方法の説明図。

第3図は同半導体発光素子のキャリアの斜視図。

第4図は同半導体発光素子のキャリアの等価回路の回路図。

第5図は従来の半導体発光素子のキャリアの斜視図。

第6図は同半導体発光素子のキャリアの等価回路の回路図である。

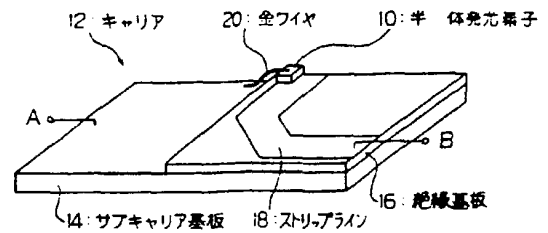
図において、

- 10…半導体発光素子、
- 12…キャリア、
- 14…サブキャリア基板、

- 16…絶縁基板、
- 18…ストリップライン、
- 20…金ワイヤ、
- 22…チップ抵抗、
- 30…InP基板、
- 34…ゴルゲーション、
- 36…ガイド層(n型InGaAsP)、
- 38…活性層(InGaAsP)、
- 40…ガイド層(p型InP)、
- 42…コンタクト層(p型InGaAsP)、
- 44…電極層、
- 46、48…溝、
- 50…高抵抗シリコン層、
- 52…抵抗層、
- 54…電極層、
- 56…溝、
- 60…アレイ、
- 62…電極板、
- 64…測定治具、
- 64a…プローバ、

特開平2-133980(5)

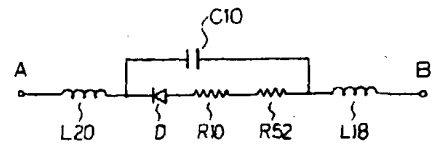
- 64b...配線層、
- 66...切換スイッチ、
- 68...抵抗測定装置、
- 70...レーザ装置、
- 72...レーザコントローラ、



本発明の一実施例の半導体発光素子のキャリアの斜視図

第3図

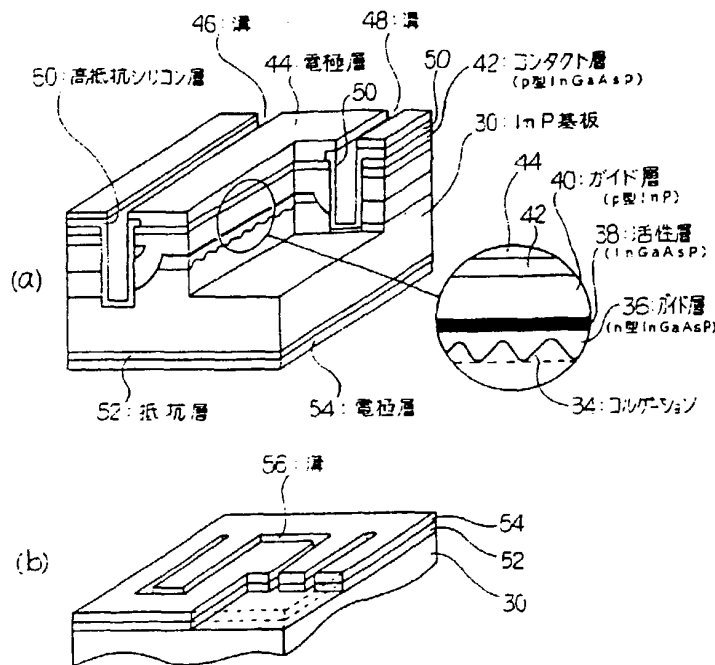
代理人 井理士 井 新 貞 一



- D: レーザダイオードD
- R10: レーザダイオードDの抵抗成分
- C10: レーザダイオードDの容量成分
- L18: ストリップライン18のインダクタンス成分
- L20: 金ワイヤ20のインダクタンス成分
- R52: 抵抗層52の抵抗成分

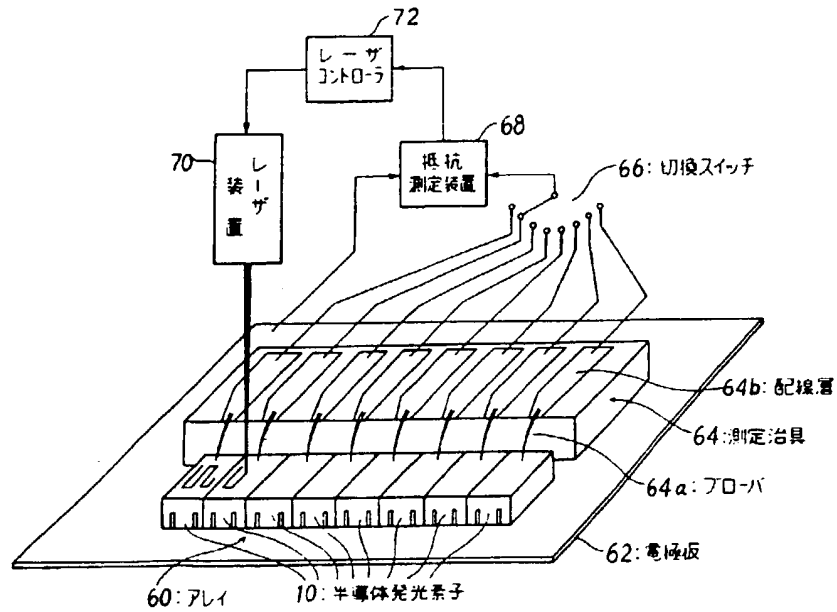
本発明の一実施例の半導体発光素子のキャリアの等価回路の回路図

第4図

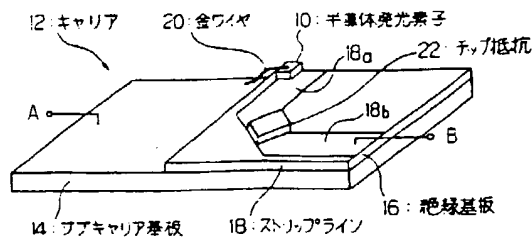


本発明の一実施例の半導体発光素子の斜視図

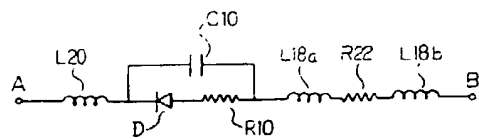
第1図



本発明の一実施例の半導体発光素子のトリミング方法の説明図
第2図



従来の半導体発光素子のキャリアの斜視図
第5図



従来の半導体発光素子のキャリアの等価回路の回路図
第6図

© EPODOC / EPO

PN - JP2133980 A 19900523
PD - 1990-05-23
PR - JP19880288001 19881115
OPD - 1988-11-15
TI - SEMICONDUCTOR LIGHT-EMITTING ELEMENT
IN - TAKADA TOSHIHIRO
PA - FUJITSU LTD
ICO - T01S5/062H ; T01S5/227C
EC - H01S5/00D ; H01S5/042E
IC - H01L33/00 ; H01S3/18

© WPI / DERWENT

TI - High speed driven semiconductor light emitting element - has layer of adjusting resistance between substrate main surface contg. no light emitter and second electrode layer NoAbstract Dwg 1/6
PR - JP19880288001 19881115
PN - JP2133980 A 19900523 DW199027 000pp
PA - (FUIT) FUJITSU LTD
IC - H01L33/00 ;H01S3/18
OPD - 1988-11-15
AN - 1990-204266 [27]

© PAJ / JPO

PN - JP2133980 A 19900523
PD - 1990-05-23
AP - JP19880288001 19881115
IN - TAKADA TOSHIHIRO
PA - FUJITSU LTD
TI - SEMICONDUCTOR LIGHT-EMITTING ELEMENT
AB - PURPOSE:To obtain a semiconductor light-emitting element which is easy to match impedance with an external circuit by providing a resistance layer where a trimming groove for adjusting resistance is formed between another main surface of a semiconductor substrate and a second electrode layer.
- CONSTITUTION:A negative electrode layer⁵⁴ is formed on the lower surface of an InP substrate³⁰ of a semiconductor light-emitting element¹⁰ through a polycrystal silicon resistance layer⁵² but the resistance layer⁵² is provided for performing impedance matching with an external circuit such as a drive circuit

and a strict value is needed for improved impedance matching. Thus, trimming is made by forming a groove⁵⁶ while melting the resistance layer 52 and the electrode layer 54 by laser while measuring resistance value of the resistance layer 52. However, since the chip after scribing is small and is difficult to handle, the array of a semiconductor light-emitting element¹⁰ is formed by cutting a wafer and trimming of resistance value by laser is performed in that state. Thus, impedance latching with an external circuit can be made easily, thus achieving drive efficiently and with high frequency.

I - H01S3/18 ;H01L33/00